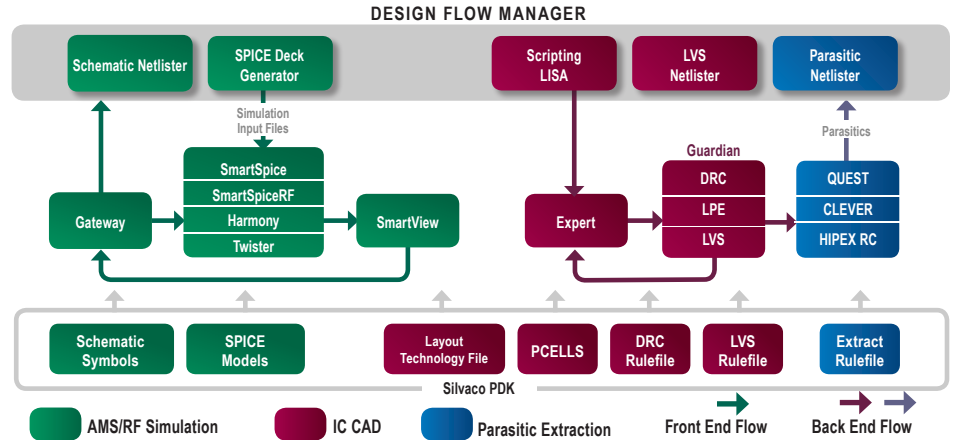


PDK Development Services

파운드리-특정 모델, 심볼, 룰 데크, 파라미터화 셀(P-cell)을 제공하는 완전한 PDK 개발 서비스.

Custom IC 디자인 서비스의 EDA 툴

- Gateway 스키매틱 에디터
- SmartSpice 회로 시뮬레이터
- Expert 레이아웃 에디터
- Guardian DRC/LVS/LPE
- HIPEX Full-chip 기생 추출
- LISA 스크립트 언어



PDK 개발 서비스의 산출물

스키매틱 심볼 - Expert 레이아웃 설계 툴에서 DRC, LVS에 맞는 파라미터화 셀을 호출하기 위해 Gateway 스키매틱 에디터에서 사용. 트랜지스터 레벨 시뮬레이션에 대해 정상적인 작동을 보장하기 위해 이러한 파라미터화 심볼과 해당 서브서킷은 SPICE 모델과 함께 집적 및 테스트. PCell은 LISA 스크립트 언어로 작성.

SPICE 모델 - 파운드리에서 공급한 공정 코너 (온도, 전압, 공정)에서 SmartSpice 회로 시뮬레이터로 검증한 SPICE 모델 (선택적) 파일. 실바코는 웨이퍼 또는 측정 데이터로부터 모델 세트를 추출하여, 각 소자에 대해 완전한 측정 vs. 시뮬레이션 리포트를 작성.

테크놀로지 파일 - 레이아웃 및 검증 툴을 위해 각각의 공정 레이어에 대해 적절한 GDSII 레이어를 연결하는 레이어 파일. GDS 레이어, 디스플레이 색상, 사용자-지정 단축키에 대해 레이아웃 및 스키매틱 툴을 설정하기 위한 파일을 표시.

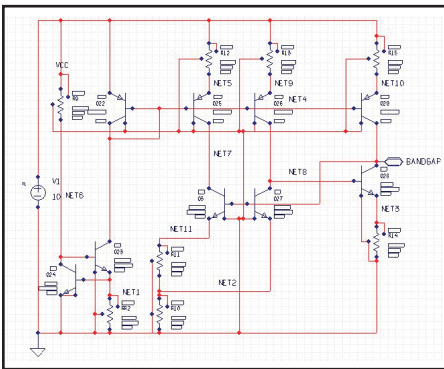
룰 데크 - Expert 레이아웃 에디터, Guardian DRC/LVS/LPE 툴, HIPEX Full-chip 기생 추출 툴에서 사용되는 형식으로 인코딩한 레이아웃 규칙을 포함

파라미터화 셀 - LISA 스크립트 언어를 사용하여, 애노테이션한 소자 스키매틱이 DRC, LVS에 맞게 Expert 레이아웃 에디터에서 자동으로 그려지도록 허용

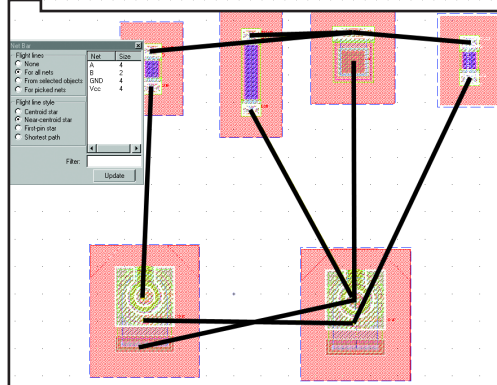
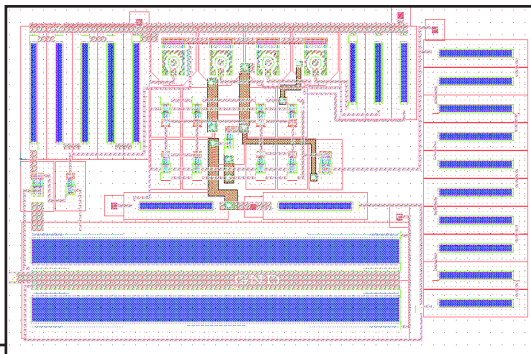
PDK 개발 서비스를 위한 파운드리 설계 데이터

- 파운드리에서 제공하는 웨이퍼 (테스트 칩 문서 또는 모든 코너에 대한 측정 결과를 포함), 공정 관련 파라미터의 변동, 모델 검사를 위한 테스트 회로 넷리스트
- 저항, 캐패시터, 다이오드, NMOS/PMOS 트랜지스터, NPN/PNP 바이폴라 트랜지스터, 인덕터, 바랙터 등 대상 소자에 대한 사양, 레이아웃 예, 스크립트, 파라미터화 셀의 명세
- DRC, LVS, LPE 룰 문서 및 DRC, LVS, LPE 데크 (예. Dracula™) 테크놀로지 파일, 디스플레이 파일 및 파운드리 데이터를 고객의 사용에 준비하는 스크립트 또는 유틸리티
- 전기적 파라미터, 노이즈, 정합, 시험 및 신뢰성 데이터에 대한 공정 및 설계 문서
- 공정 옵션 등, 레이어에 대한 공정 명세

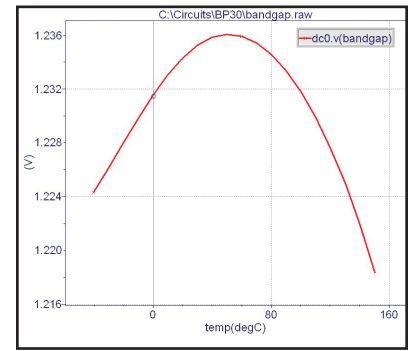
스키매틱부터 레이아웃 및 최종 시뮬레이션까지 실바코의 PDK-driven EDA 툴 플로우



A. PDK의 심볼을 활용하여 Gateway 스키매틱 에디터로 캡처한 밴드갭 회로.



B. Pcell은 Expert 레이아웃 에디터에 의해 직선으로 인스턴스화하여 최종 레이아웃에 배치



C. SmartSpice는 추출된 밴드갭을 온도에 대해 시뮬레이션

SILVACO

(주)실바코 코리아

134-020

서울특별시 강동구 천호동 469-1

스타시티빌딩 5층

Phone: 02-447-5421

Fax: 02-447-5420

E-mail: krsales@silvaco.com

WWW.SILVACO.CO.KR

Rev. 082610_12