

TFT3D

3D AMORPHOUS AND POLYCRYSTALLINE DEVICE SIMULATOR

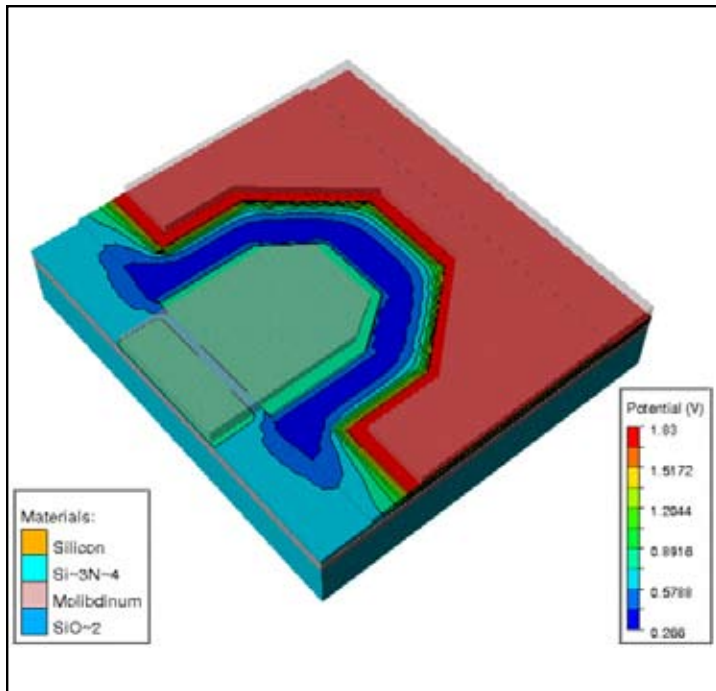
TFT3D는 비정질 또는 폴리실리콘 소자를 3D로 시뮬레이션하기 위해, 물리 모델과 특수한 수치 기법을 탑재한 고급 소자 기술 시뮬레이터입니다. TFT3D는 비정질 물질의 밴드갭에서 결핍 상태 분포에 대한 전기적인 효과를 모델링합니다. 전자/정공에 대한 단면 캡처 또는 수명 외에, 결정립 및 결정립 경계에 대한 에너지의 함수로서 상태 밀도(Density Of States, 이하 DOS)를 설정할 수 있습니다. 이동도, 임팩트 이온화, 밴드-투-밴드 터널링을 조정하여, 소자 퍼포먼스를 정확하게 예측할 수 있습니다.

특징

- 에너지 종속성 DOS
- 트랩-투-밴드(Trap-to-Band) 음향 양자에 의한 터널링 (phonon-assisted tunneling)
- 밴드-투-밴드 터널링 효과
- Poole-Frenkel 장벽 저하
- DIGBL (Drain Induced Grain barrier Lowering)
- DC, AC, 과도 시뮬레이션
- 결정립 및 결정립 경계 DOS 사양의 분리

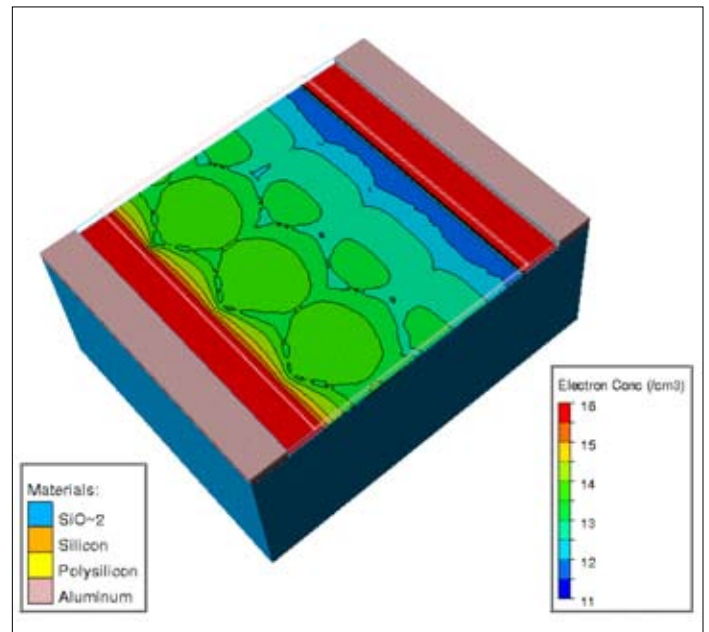
a-Si TFT

금속 전극 구조는 하부(bottom) 게이트 a-Si TFT 등의 소자에 중요합니다. TFT3D는 이러한 구조가 전류와 캐패시턴스에 미치는 영향을 정확하게 설명합니다.



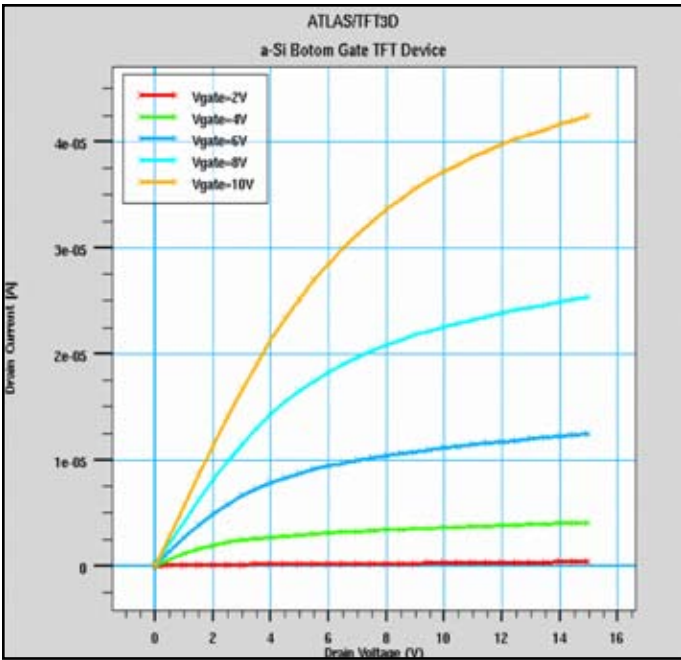
Poly-Si TFT 결정립 크기 시뮬레이션

엑시머 레이저 어닐링(Excimer Laser Annealing, 이하 ELA)에 의한 결정화로 ELA Poly-Si TFT 소자는 양질의 결정립을 갖습니다. 게이트 위치의 채널과 결정립 크기에 대한 영향을 TFT3D에서 시뮬레이션할 수 있습니다.

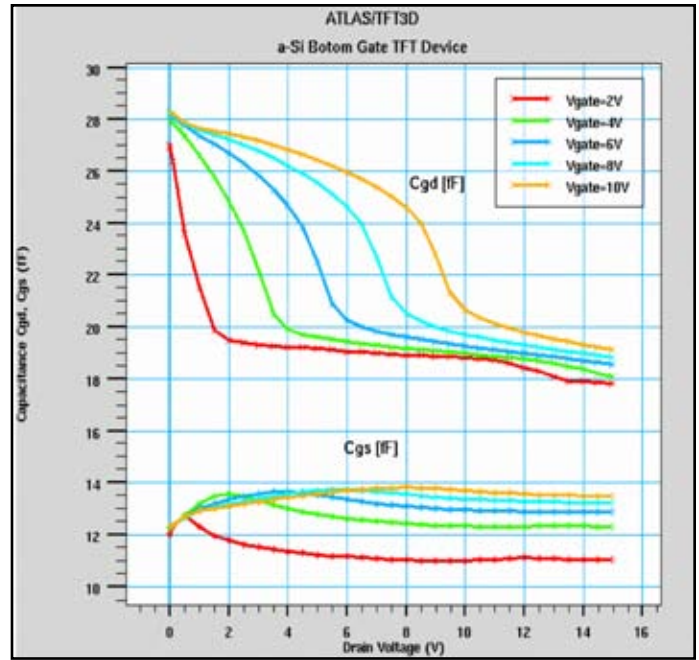


0V 바이어스에서 전자/정공 농도. 결정립과 게이트의 모양으로 농도를 제어합니다.

Vd=1V에서 하부 게이트 a-Si TFT 소자.



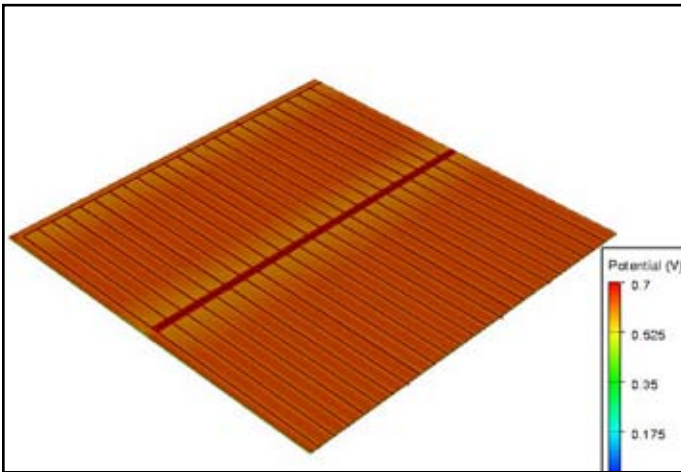
게이트 바이어스가 2V~10V일 때, a-Si TFT 소자의 하부 게이트에 대한 I_d/V_d 곡선.



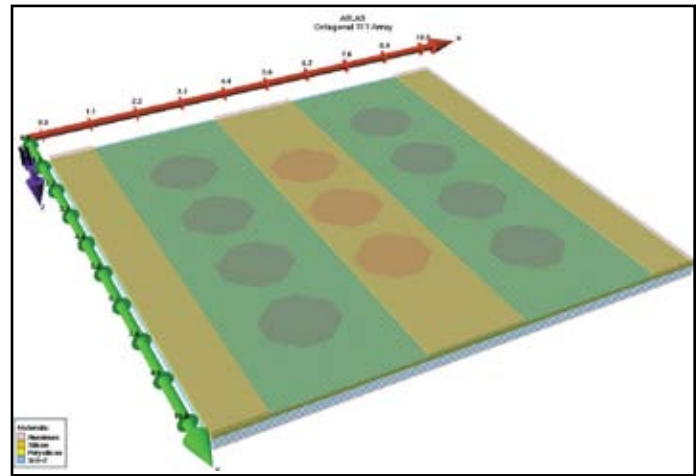
게이트 바이어스가 2V~10V일 때, a-Si TFT 소자의 하부 게이트에 대한 C_{gd}/V_d , C_{ds}/V_d 곡선.

태양 전지

태양 전지를 3D 시뮬레이션하여, 전면 금속 그리드 핑거(finger) 구조에서의 변화에 따른 셀 구조의 전기적인 손실 등을 연구합니다.



태양 전지의 전위 분포.



TFT3D를 이용한 TFT 엘리먼트의 8각형 배열 시뮬레이션. 콘택 및 SiO₂ 레이어를 투명하게 하여, 비정질 Si 엘리먼트를 보다 명확하게 볼 수 있습니다.

SILVACO

(주)실바코 코리아

134-020

서울특별시 강동구 천호동 469-1

스타시티빌딩 5층

Phone: 02-447-5421

Fax: 02-447-5420

E-mail: krsales@silvaco.com

WWW.SILVACO.CO.KR

Rev. 020508_01