

TFT

2D AMORPHOUS AND POLYCRYSTALLINE DEVICE SIMULATOR

TFT는 비정질 또는 폴리실리콘 소자를 시뮬레이션하기 위해, 물리 모델과 특수한 수치 기법을 탑재한 고급 소자 기술 시뮬레이터입니다. 특화된 용도는 평판 디스플레이(Flat Panel Display, 이하 FPD), 태양 전지 등 넓은 규모의 디스플레이 전자공학을 포괄합니다.

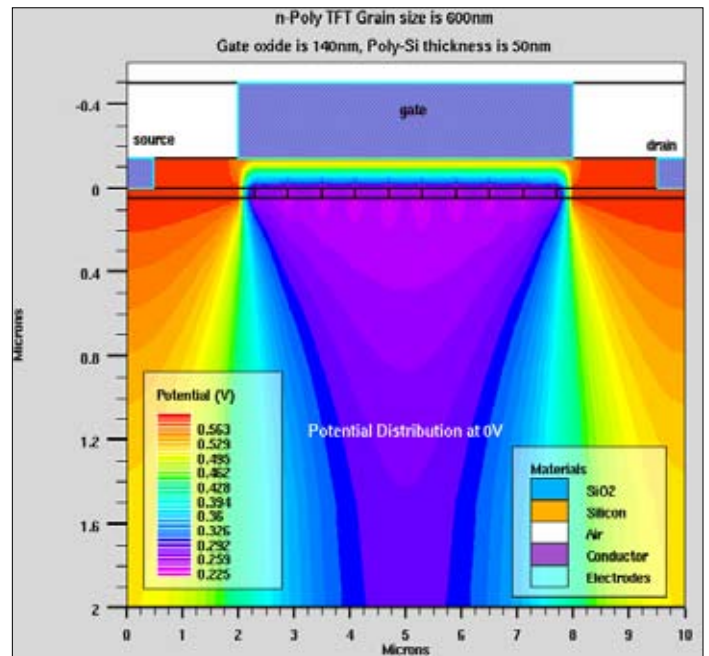
TFT는 비정질 물질의 밴드갭에서 결핍 상태 분포에 대한 전기적인 효과를 모델링합니다. 전자/정공에 대한 단면 캡처 또는 수명 외에, 결정립 및 결정립 경계에 대한 에너지의 함수로서 상태 밀도(Density Of States, 이하 DOS)를 설정할 수 있습니다. 이동도, 임팩트 이온화, 밴드-투-밴드 터널링을 조정하여, 소자 퍼포먼스를 정확하게 예측할 수 있습니다.

특징

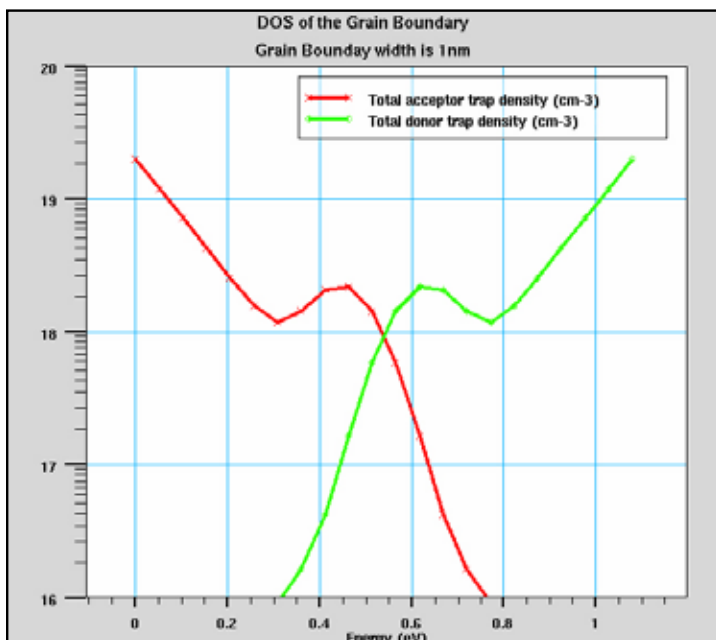
- 에너지 종속성 DOS
- 트랩-투-밴드(Trap-to-Band) 음향 양자에 의한 터널링 (phonon-assisted tunneling)
- 밴드-투-밴드 터널링 효과
- Poole-Frenkel 장벽 저하
- DIGBL (Drain Induced Grain barrier Lowering)
- DC, AC, 과도 시뮬레이션

능동형(Active Matrix) 디스플레이 드라이버

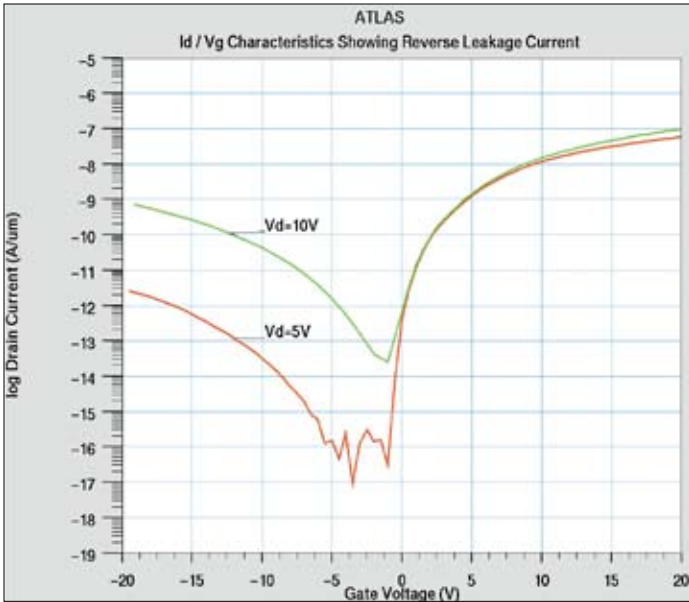
TFT는 대형 평판 디스플레이에서 능동형(active matrix) 디스플레이 드라이버를 시뮬레이션할 수 있습니다. 이 기술은 저온 처리된 Si:H 또는 폴리실리콘 TFT에 기초합니다. 비평면 또는 멀티-게이트 TFT 구조를 전기적으로 특성화할 수 있습니다.



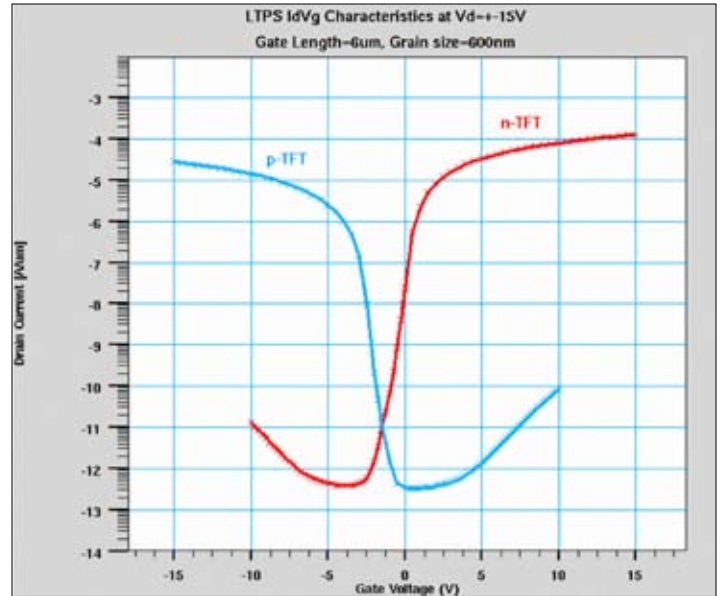
상부(top) 게이트 n-채널 Poly-Si TFT. 이러한 형태의 소자를 이용하여, 능동형 디스플레이 엘리먼트를 구동합니다. 0V에서의 전위가 표현되어 있습니다. 결정립의 크기는 600nm, poly-Si 두께는 50nm, 게이트 산화막 두께는 140nm입니다.



결핍 분포는 에너지에 의존합니다. 이 플롯은 테일과 가우시안 분포를 포함하여, 전체적인 도너와 액셉터의 트랩 밀도 레벨을 나타냅니다. C-인터프리터로 DOS 정의를 쉽게 수정하여, 물질 특성을 설정할 수 있습니다.



ATLAS는 밴드-투-밴드 터널링과 트랩에 의한 터널링에서 발생한 역방향 게이트 바이어스에서 역 누설을 모델링합니다. 두 개의 상이한 드레인 바이어스에 대해 역 누설이 크게 나타납니다.

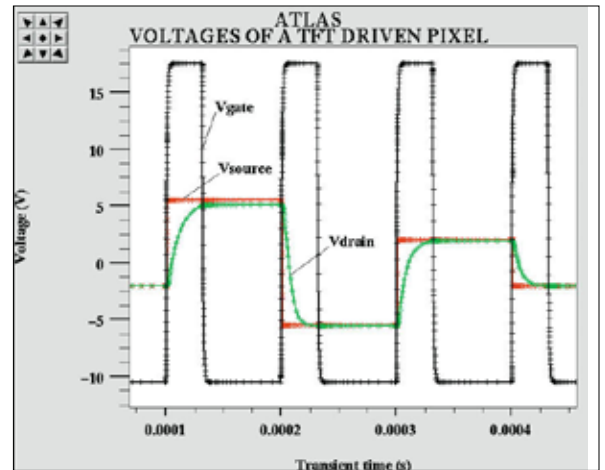
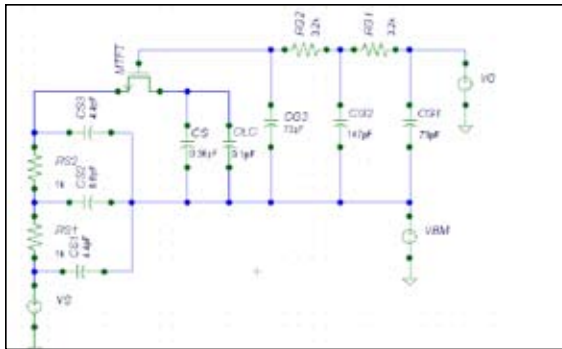


p채널과 n채널 poly-Si TFT에 대한 IV 특성.

TFT 구동 픽셀의 시뮬레이션

TFT를 MixedMode와 연동하여, TFT LCD 패널의 픽셀을 정확하게 시뮬레이션합니다. 컴팩트 TFT 모델에 대한 보다 물리적인 대안으로서, LCD 패널 회로 디자인을 분석 및 최적화하여, 각 픽셀에서 기생 성분의 효과를 평가합니다. TFT는 복수의 픽셀을 처리하여, LCD 패널을 대규모로 시뮬레이션합니다.

TFT 픽셀의 등가 회로를 나타냅니다. MixedMode를 사용하여, TFT 구동 픽셀의 전기적인 특성을 시뮬레이션합니다.

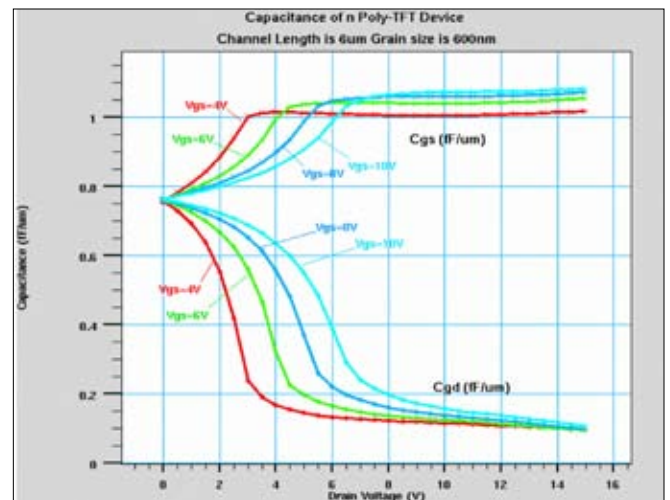


TFT 픽셀에서 비트 라인 프로그래밍의 효과. 드레인 전압은 외부 저항 및 캐패시턴스 요소에 의해 지연되어, 소스 전압을 따라갑니다.

AC 분석

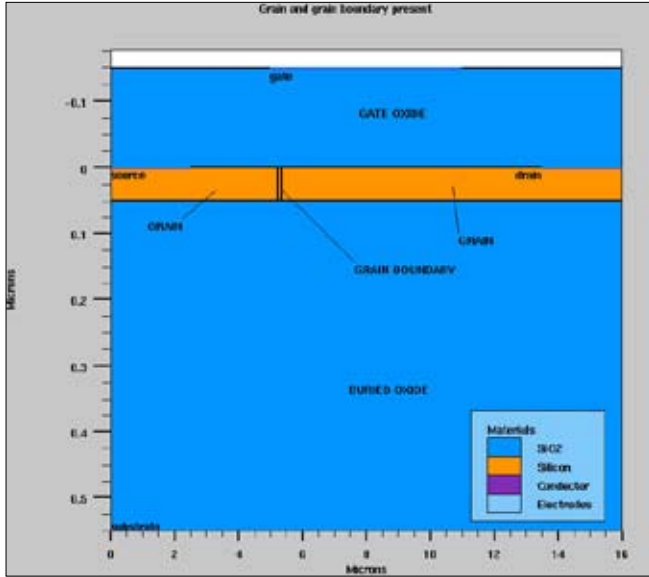
TFT는 소신호 AC 분석과 연동하여, 캐패시턴스 정보와 성능 지수를 추출합니다.

보다 높은 드레인 전압에서, Cgd는 벌크 MOS 소자와 달리 조금만 증가합니다. 이러한 현상은 드레인 전압이 증가함에 따라, Cgs가 감소하고 Cgd가 증가하는 작은 소자에서 두드러집니다. 이는 poly-Si TFT의 킥 효과로 설명할 수 있습니다.



결정립 경계

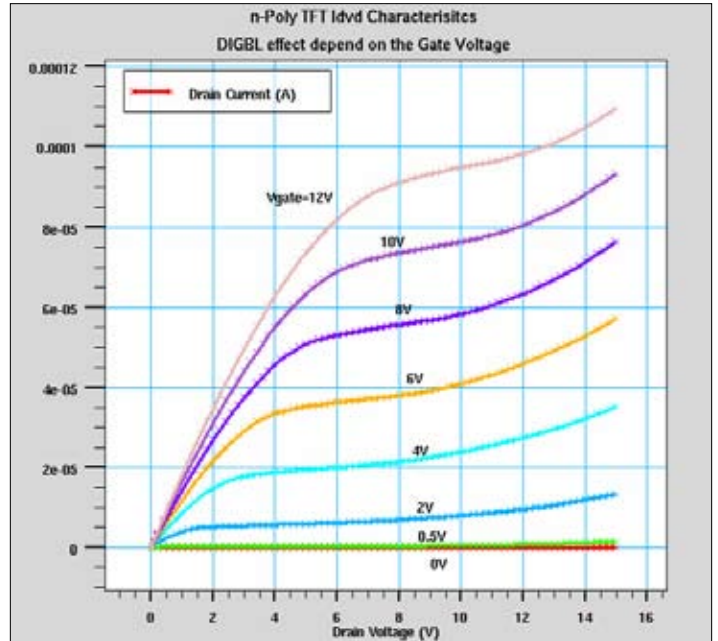
결정립 경계는 TFT의 이동도에 상당히 영향을 미칩니다. TFT는 서로 다른 영역처럼 결정립 경계를 채널 내에서 할당합니다. 여기에 결정립 영역의 속성과 구별되는 속성을 할당할 수 있습니다. 이러한 물질 속성은 C-인터프리터 파일이나 TFT의 함수를 이용하여 부여할 수 있습니다.



결정립 경계를 나타내는 TFT 구조.

DIGBL 효과

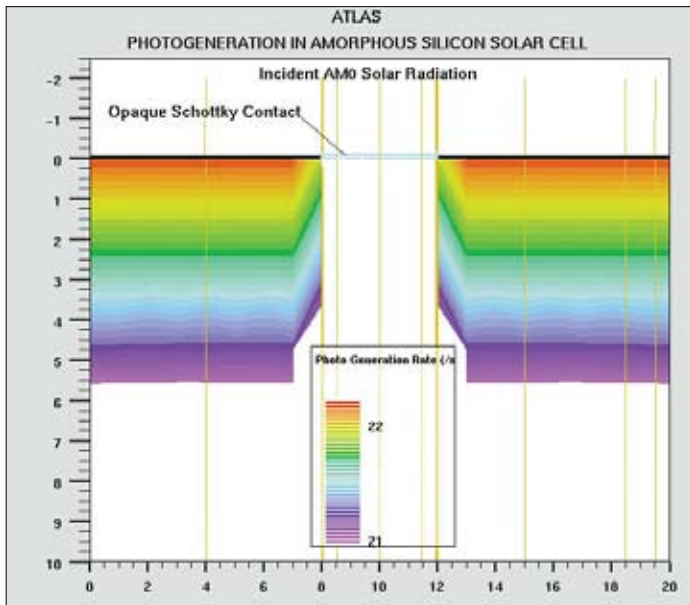
다음 그림은 드레인에서 on-상태인 저항으로부터 DIGBL 효과가 5V임을 나타냅니다. 각 게이트 전압선은 어느 지점에서든 겹치지 않습니다. 이것은 poly-Si TFT의 독특한 현상입니다.



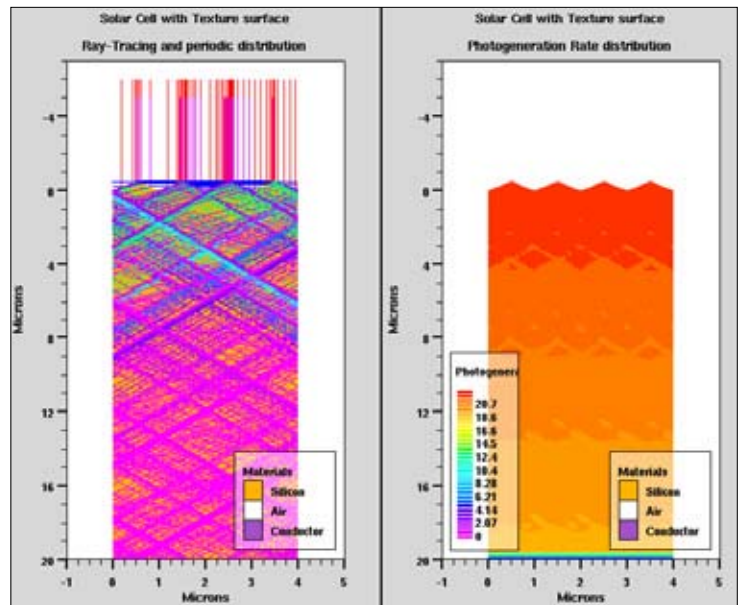
게이트 바이어스의 함수로서 나타낸 $I_d V_d$ 특성. 드레인 바이어스가 낮을 때, 결정립의 전위 장벽은 높습니다. 드레인 바이어스가 증가하면, 결정립 장벽은 낮아지며, 드레인 전류는 증가합니다. 이것이 DIGBL 효과입니다.

태양 전지

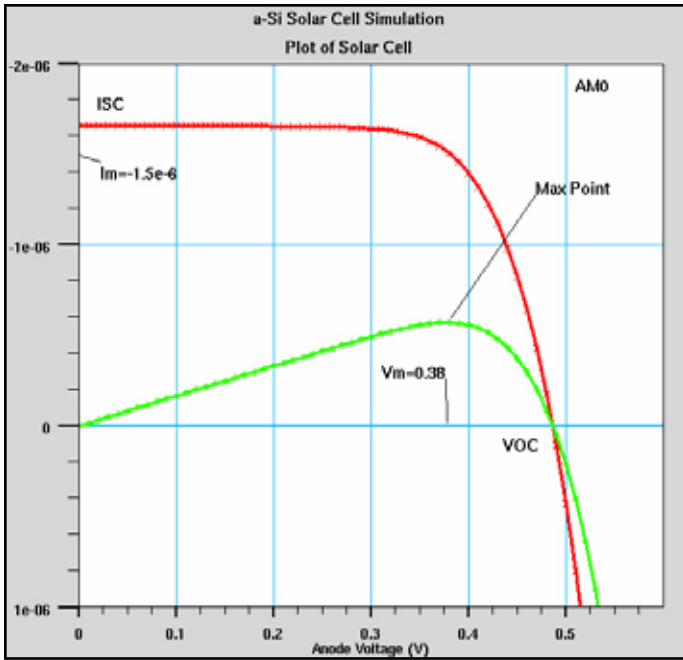
TFT는 Luminous와 연동하여 비정질 실리콘으로 만든 박막 태양 전지를 시뮬레이션합니다. 스펙트럼, DC, 과도 응답을 추출할 수 있습니다.



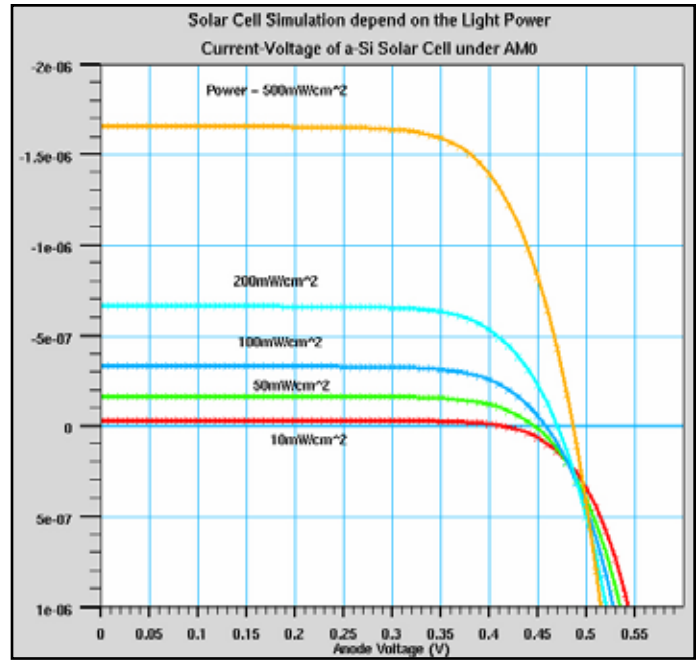
박막 비정질 Si 태양 전지의 간단한 예. 이 소자는 구조의 중심에 불투명 금속 컨택을 가집니다. 그림은 소자의 광생성률을 나타냅니다. 전자 전류를 평가하여, 셀의 양자 효율을 결정할 수 있습니다.



Si 태양 전지의 간단한 구조. 소자의 광생성률은 주기적인 경계 조건으로 나타냅니다.



조도가 AM0일 때, Si 태양 전지의 전류-전압 특성. ISC는 단락 회로 전류이며, VOC는 개방 회로 전압입니다. Im와 Vm 값은 최대 전력 사각형에 의합니다.



조도 전력 함수로 나타낸 Si 태양 전지의 전류-전압 특성.

SILVACO

(주)실바코 코리아

134-020

서울특별시 강동구 천호동 469-1

스타시티빌딩 5층

Phone: 02-447-5421

Fax: 02-447-5420

E-mail: krsales@silvaco.com

WWW.SILVACO.CO.KR

Rev. 012908_03