

## FULL-CHIP PARASITIC EXTRACTION

# HIPEX

HIPEX는 정확하고 빠른 full-chip 계층식 추출 소프트웨어로서, 계층형 레이아웃에서 기생 캐패시턴스와 저항을 추출합니다. HIPEX는 Expert 레이아웃 에디터와 빈틈없이 통합되어 DRC/LVS 및 RC 기생 추출 디자인 플로우를 완성합니다.

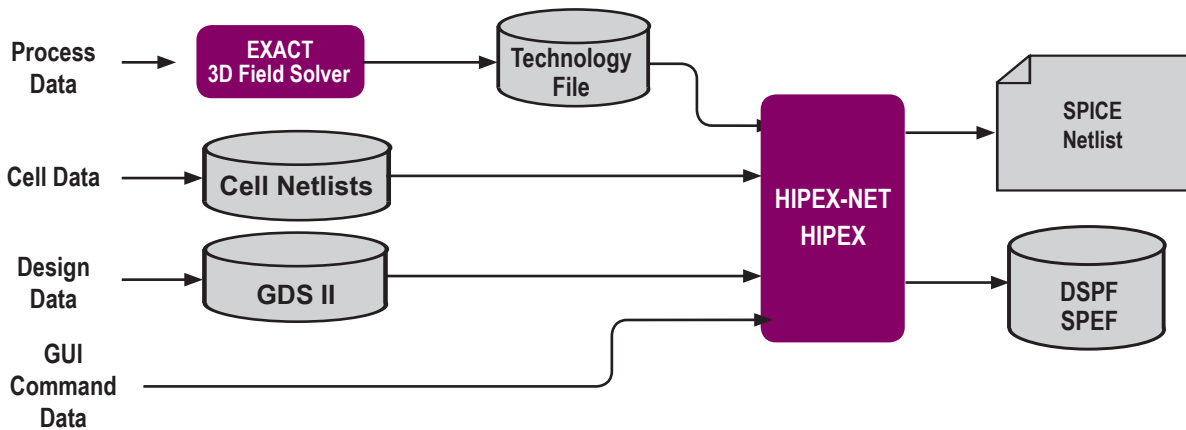
- RC 전체, C, R, 커플링 C, 전체 분포 RC 등의 다양한 기생 추출 모델
- SoC와 대규모 메모리에서 주요 넷의 RC를 신속하게 추출하기 위하여 선택한 넷만 추출
- 분포된 기생 RC 네트워크에 대해 효율적으로 네트워크 제거
- SPICE, 백-애노테이션 넷리스트, DSPF, SPEF 포맷으로 기생 넷리스트 파일 출력
- 자동 백-애노테이션으로 정확한 포스트-레이아웃 시뮬레이션 및 분석 가능
- 트랜지스터와 게이트 레벨에서 기생 소자 추출



HIPEX-NET  
소자 추출

- Expert 레이아웃 에디터에 통합
- Dracula 테크놀로지 파일을 위한 컨버터
- Solaris, Linux, Windows에 공통적인 GUI
- 용이한 분석을 위해 원래의 레이아웃 계층을 보존하여 계층형 넷리스트 추출
- MOSFET, MESFET, BJT, JFET, 다이오드, 캐패시터, 저항 및 사용자가 정의한 파라미터 소자 추출
- 쇼트, 오픈, 땀글에 ERC(Electrical Rule Check) 수행
- 45° /90° 가 아닌 소자에 대해서 정확하게 소자를 추출
- 대규모 디자인을 처리하기 위해 효율적인 메모리 사용
- 32비트/64비트 버전에서 사용 가능
- HIPEX-NET은 멀티-스레드 지원 불가

HIPEX Full-Chip Parasitic Extractor Product Design Flow



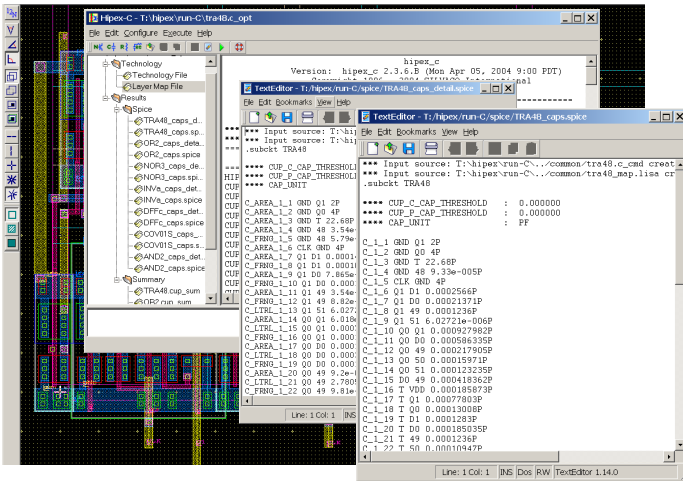
HIPEX  
기생 캐패시턴스 추출

- 룰에 기초한 테크놀로지 파일로 동작
- 기생 캐패시터로 스키매틱 넷리스트를 백-애노테이션
- 스트라이프 알고리즘 및 스트라이프 데이터베이스로 멀티-프로세서 머신에 효율적인 병렬처리 가능
- full-chip과 선택한 넷에 대해 기생 커플링 캐패시터를 추출
- 사용자 정의 캐패시턴스 또는 자체 캐패시턴스 모델을 제공하여, 정확도와 실행 시간을 조절
- 3D 정밀 모드를 위해, EXACT로 생성한 외부 캐패시턴스 룰 파일을 지원
- 각각의 넷에 대해 증가형 캐패시턴스 데이터베이스를 생성
- 주요 경로의 기생 C를 빠르게 계산하기 위하여 선택한 넷을 추출

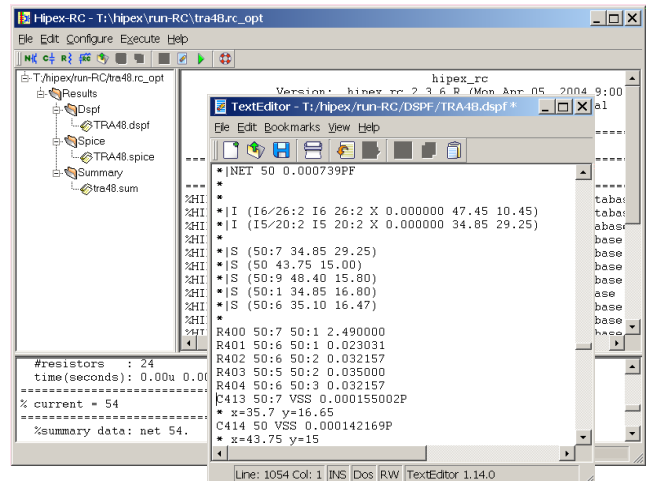
## HIPEX

### 기생 저항 추출

- 룰에 기초한 테크놀로지 파일로 동작
- 기생 저항으로 스키매틱 넷리스트를 백-애노테이션
- 컨택 기생 저항을 추출
- L, T, Cross, Bend형 저항을 처리
- 저항의 형태를 단순화하기 위해 컨택 오버-사이즈 및 클러스터 사용
- full-chip 또는 선택 노드에 대해 계층적으로 기생 저항과 함께 넷리스트를 추출
- 각각의 넷에 대해 증가형 저항 데이터베이스를 생성
- 임의의 저항 형태에 대해 다양한 추출 모델 및 방정식 솔버를 사용
- 보다 정확한 RC 분포를 위해 긴 도선을 분할
- 레이아웃 디버깅 목적으로, 선택한 노드의 출력을 GDS/CIF 파일로 제공



HIPEX-C는 오버랩, 래터럴, 프린트 캐패시턴스를 정확하게 분석하기 위해 상세한 커플링 캐패시터 넷리스트를 제공합니다.



HIPEX는 SPICE, DSPF, SPEF 포맷을 지원합니다.

## HIPEX

### 기생 네트워크 분포

- 추출된 저항과 신규로 생성된 노드 및 기생 캐패시턴스를 결합
- 최소 저항 및 캐패시턴스에 필요한 threshold를 정의
- XY 좌표를 사용하여, 기생 저항의 바디에 캐패시터를 정확하게 분배
- RC 네트워크에 PI 모델 사용
- SPICE, DSPF, SPEF 넷리스트로 결과를 출력
- 기생 저항 및 캐패시턴스와 함께 스키매틱 넷리스트를 백-애노테이션
- 커플링 모드에서 분포된 기생 캐패시터를 출력

HIPEX-CRC  
네트워크 정리 툴

- 포스트-레이아웃/포스트-루트 시뮬레이션 실행 시간을 대폭 단축
- 댕글 RC 엘리먼트의 제거, 사용자가 정의한 threshold 이하의 RC 엘리먼트 제거, 병렬/직렬 병합, 스캐터링-파라미터-방식 매크로모델링으로 네트워크 정리
- 선형 시간으로 네트워크 정리
- 루프로 RC 네트워크를 처리
- 정리한 RC 네트워크에 대해 시뮬레이션의 정확도를 동일하게 유지
- SPICE, DSPF, SPEF 포맷 지원
- 서브서킷, 셀, 넷, threshold를 선택하기 위하여, LISA 스크립트 언어로 정리 알고리즘을 정의

## HIPEX Inputs/Outputs



# SILVACO

(주)실바코 코리아

134-020

서울특별시 강동구 천호동 469-1

스타시티빌딩 5층

Phone: 02-447-5421

Fax: 02-447-5420

E-mail: krsales@silvaco.com

[WWW.SILVACO.CO.KR](http://WWW.SILVACO.CO.KR)

Rev. 072310\_22