

MIXED-LEVEL FAULT SIMULATOR

HyperFault

HyperFault는 IEEE-1364-2001 규격의 Verilog 장애 시뮬레이터로서 장애를 검출하는 테스트 벡터의 성능을 분석합니다. SDF 타이밍으로 게이트, 행동, 스위치로 구성된 믹스드 레벨을 지원합니다.



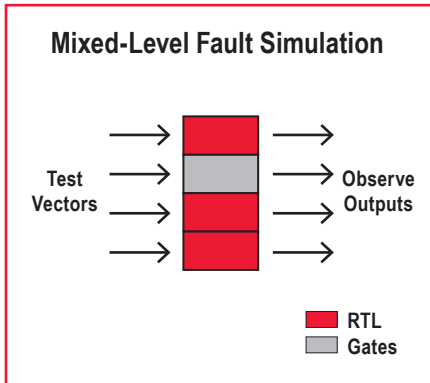
- Verilog HDL IEEE 1364-2001 규격의 장애 시뮬레이터
- 게이트, 행동, 스위치 소자로 구성된 믹스드 레벨 장애 시뮬레이션을 위해 표준 Verilog 소스 파일과 라이브러리를 사용
- 인터커넥트 장애를 찾는 동안 BIST, ATPG를 보완
- 멀티-패스에 의한 효율적인 동시 장애 시뮬레이션 알고리즘은 반복적으로 장애를 정리하여, 최적의 메모리 할당 및 탁월한 런타임 퍼포먼스를 제공
- 디자인 자동 분할은 대규모 디자인을 빠르게 평가하기 위하여, 로드 밸런싱과 함께 분산 CPU를 지원
- 장애 평가 모델은 고착된 고/저 입출력 장애를 포함
- 전체 시간 장애 시뮬레이션은 포스트-루트(post-route) 지연 분석을 위해 SDF 백-애노테이션을 지원
- 실바코의 강력한 암호화는 고객 및 서드-파티의 소중한 지적 재산을 보호하기 위해 이용가능

핵심(mission critical) 제품에
필요한 정확한 장애 검출

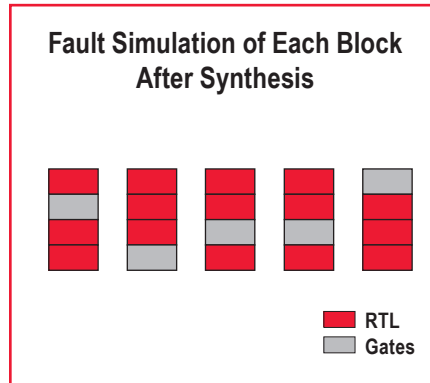
- 전체 시간 장애 시뮬레이션은 포스트-루트 지연 분석을 위해 SDF 백-애노테이션을 포함
- 정확한 장애 평가 모델은 고착된 고/저 입출력 장애를 포함
- 장애 샘플링을 이용하여 관리가능한 장애 시뮬레이션 런타임 달성
- 랜덤 샘플링 알고리즘은 정확한 장애 평가 제공
- 디자인 파일이나 라이브러리 어느 것도 수정할 필요가 없으므로, 신규 에러 미발생

Verilog 규격

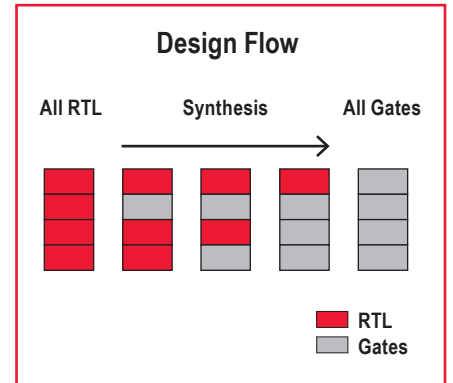
- 디자인, 라이브러리, 테스트벤치에 필요한 IEEE 1364-2001 Verilog 규격
- 백-애노테이션을 위한 표준 지연 포맷(Standard Delay Format, 이하 SDF) 규격
- 게이트, 행동, 스위치 소자로 구성된 믹스드 레벨 장애 시뮬레이션
- 표준 Verilog 셀, I/O, 메모리, 기타 IP 라이브러리를 수용



믹스드 레벨 장애 시뮬레이션이
RTL 디자인의 게이트 레벨 블록을
분석합니다.



각각의 설계자는 독립적으로
담당 블록을 분석할 수 있습니다.



합성 결과는 시스템 장애 범위를
산출합니다.

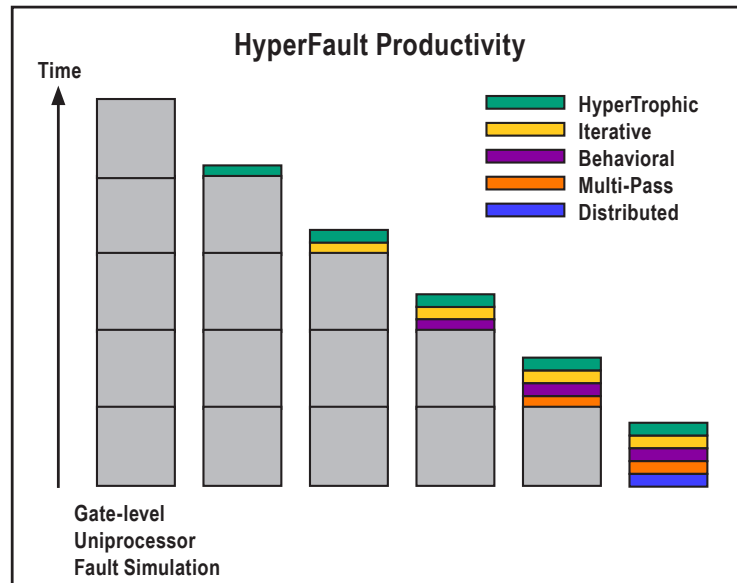
사용의 편의성

- HyperFault는 디자인 엔지니어 및 테스트 엔지니어 모두가 사용
- 디자인 파일의 수정 및 에러 도입 불필요
- 라이브러리 파일의 생성 또는 수정 불필요
- 알기 쉬운 GUI와 배치 작업용 Unix 셸 프롬프트 중에서 선택
- 정규 표현식은 특정 디자인 블록의 장애를 선택하기 위해 사용할 수 있으며, 또는 테스트 중인 소자(Device Under Test, 이하 DUT)의 모든 장애를 선택 가능
- 장애 시뮬레이션의 멀티-패스 기법을 지원하기 위해 적정한 코드로 PLI에 의한 테스트벤치를 지원
- 윈도우즈, 솔라리스, 리눅스에서 구동

확장가능한 퍼포먼스

- 디자인 자동 분할은 대규모 디자인을 빠르게 평가하기 위하여, 로드 밸런싱과 함께 분산 CPU를 지원
- 반복적인 장애 시뮬레이션은 연속적인 테스트 패턴을 적용하여, 장애 범위를 축적
- 분산 장애 시뮬레이션은 장애 시뮬레이션 시간을 선형적으로 줄이기 위하여, 장애 시뮬레이션 작업을 네트워크 프로세서 간에 분할 (10개 CPU는 장애 시뮬레이션 시간을 10분의 1로 단축)
- 멀티-패스는 이용가능한 메모리에서 장애를 모두 처리할 것을 보장. “메모리에서 처리하지 못하는” 장애는 장애 시뮬레이션에서 다음 패스로 유보
- 일주일 이상 소요되던 대규모 디자인 시뮬레이션을 몇시간 내에 완료

5가지 HyperFault 알고리즘이 함께 작용하여 시뮬레이션 시간을 크게 줄입니다.



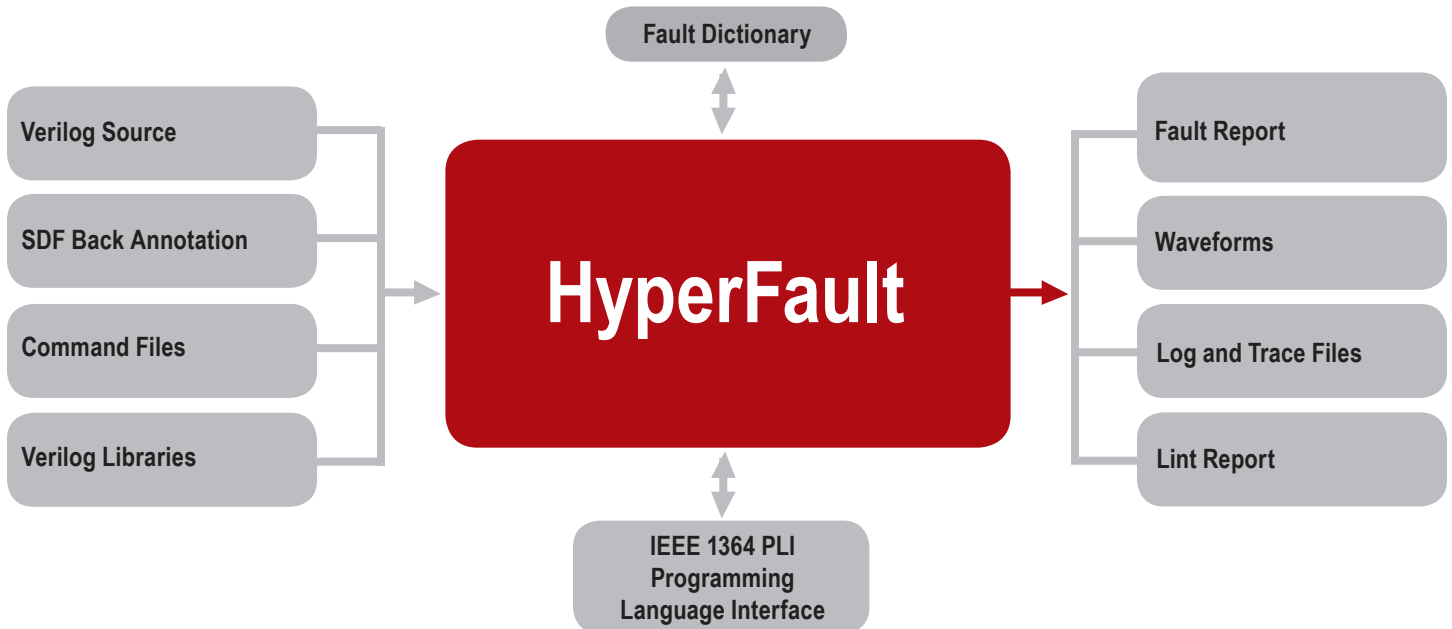
장애 시뮬레이션 알고리즘

- 비대성(HyperTrophic) 장애 시뮬레이션 알고리즘은 장애의 영향을 최소화 - 런타임을 10분의 1로 크게 단축
- 멀티-패스에 의한 효율적인 동시 장애 시뮬레이션 알고리즘은 장애를 정리하여, 최적의 메모리 할당, 탁월한 런타임 퍼포먼스, 정확한 장애 검출을 제공
- 테스트 벡터의 Value Change Dump(VCD) 입력을 지원
- 쉽게 알아볼 수 있도록, 장애 리포트를 계층적으로 사례에 의하여 정리
- DUT에 전원을 투입한 후, 장애 삽입(Fault Injection)을 예정할 수 있으며, 장애 검출을 제거

BIST와 ATPG가 불충분할 경우,
장애 시뮬레이션에 대한 응용

- 스캔 체인(scan chain)의 삽입이 곤란하며, 속도를 위해 직접 코딩한 주요 경로
- 게이트 추가가 곤란하며, 전력을 적게 소비해야 하는 디자인
- BIST 또는 스캔 체인으로 만들어진 기존 디자인
- 데이터 신호와 클럭으로 사용한 입력이나 비동기 리셋인 입력 포트처럼 정적이지 않은 비동기 경로
- 장애 행동을 정확히 시뮬레이션하기 위하여 전체 포스트-루트 시간이 필요한 경우
- 내부 링 오실레이터같은 피드백 경로. 이 때 피드백 루프를 중단하기 위해 제어를 삽입하면, 엘리먼트의 밸런싱을 방해
- ATPG를 지원하지 않는 라이브러리
- ATPG 소프트웨어 가격이 장애 시뮬레이션 소프트웨어보다 고가
- BIST와 ATPG로 구성된 개별 IP 블록 사이의 핵심(mission critical) 디자인에서 인터커넥트 장애를 찾는 경우

HyperFault Inputs/Outputs



SILVACO

(주)실바코 코리아

134-020

서울특별시 강동구 천호동 469-1

스타시티빌딩 5층

Phone: 02-447-5421

Fax: 02-447-5420

E-mail: krsales@silvaco.com

WWW.SILVACO.CO.KR

Rev. 101410_13