

## DRC/LVS/NET PHYSICAL VERIFICATION



Guardian은 아날로그, 믹스드 시그널, RF IC 설계에 대한 대화형/배치 모드 검증을 제공합니다. 실바코의 스키매틱 캡처 및 레이아웃 에디터와 통합되어 있습니다. Guardian은 DRC(Design Rule Check), LVS(Layout vs. Schematic) 비교를 효율적으로 수행합니다.

- Guardian은 64-비트 리눅스 아키텍처에 최적화
- Expert 레이아웃 에디터 및 Gateway 스키매틱 에디터와 통합되어, 아날로그, 믹스드 시그널, RF 설계를 위해 시작에서 검증에 이르는 전체 디자인 플로우를 제공
- Dracula™, DIVA™에서 해석한 DRC/LVS/NET 룰 파일 지원
- 파운드리에서 입증된 PDK(Process Design Kit)를 통하여, 반도체 공정 기술을 폭넓게 지원
- 레이아웃과 스키매틱 뷰에 대한 크로스-프로빙으로, 빠르고 직관적인 계층형 LVS 디버깅
- Guardian NET은 스트레스 효과와 만족스러운 근접 파라미터 추출을 지원
- 실바코의 강력한 암호화는 고객 및 서드-파티의 소중한 지적 재산을 보호하기 위해 이용가능



## Guardian DRC 주요 특징:

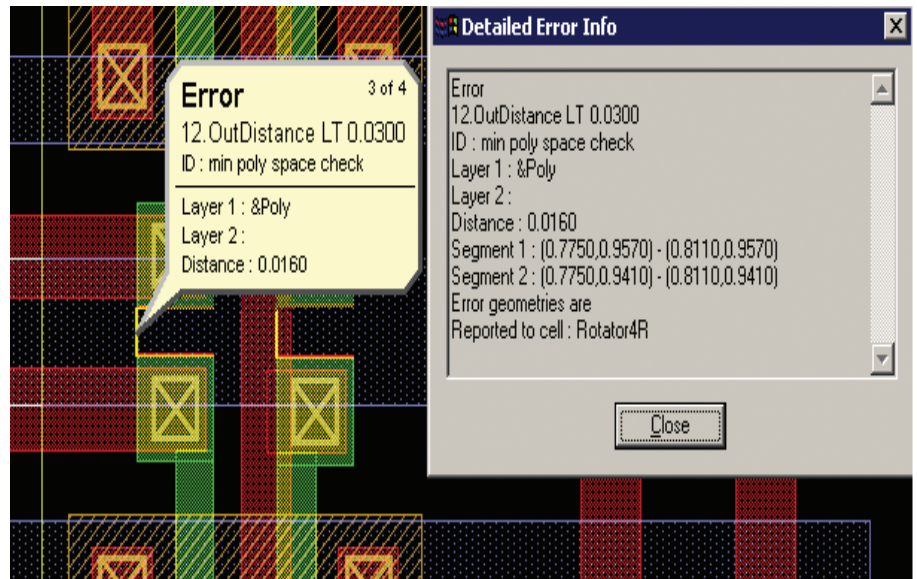
### 사용과 채택의 편의성

- Dracula, Diva에서 런세트를 도입하기 위해 포함된 룰 파일 해석기가 채택을 용이하게 함
- 단순한 설치 과정으로 환경 설정 불필요
- 그래픽과 텍스트로 제공되는 DRC 에러 리포트로 탐색 및 시각적 확인 용이 - 신규 사용자 및 전문가 모두 사용하기 편리

### 생산성과 범용성

- 모든 설계 환경에 적합한 완벽한 DRC 명령어 세트 - 대화 방식의 로컬 DRC, 배치 모드의 full-chip DRC
- 효율적인 메모리 관리와 고급 알고리즘을 바탕으로 최적화된 레이어 동작은 Windows, Linux, Solaris에서 최고의 퍼포먼스를 발휘
- 연결에 기초한 DRC 동작은 안테나 룰 체크를 포함

### 생산성 - Expert 레이아웃 에디터의 직관적인 그래픽 DRC 에러 디버깅



### 정확성, 속도, 성능

- 아날로그, 믹스드 시그널 설계 레이아웃에 중요한 정확성의 저하 없이, 45°, 90° 및 모든 각도의 오브젝트를 지원
- 대화형 DRC는 Expert 레이아웃 에디터 내에서 동작하며, 일관성을 유지하기 위해 칩 레벨에 동일한 에러 데이터베이스에 저장된 에러로 로컬 영역의 고속 DRC 제공
- 계층형 DRC 리포트 데이터베이스는 DRC 실행 히스토리를 추적
- 계층형 DRC 에러 리포트는 레이아웃 디버깅의 효율을 극대화
- 멀티-스레드 DRC는 퍼포먼스와 성능 측면에서 극적인 증가를 제공

## Guardian LVS/NET 주요 특성:

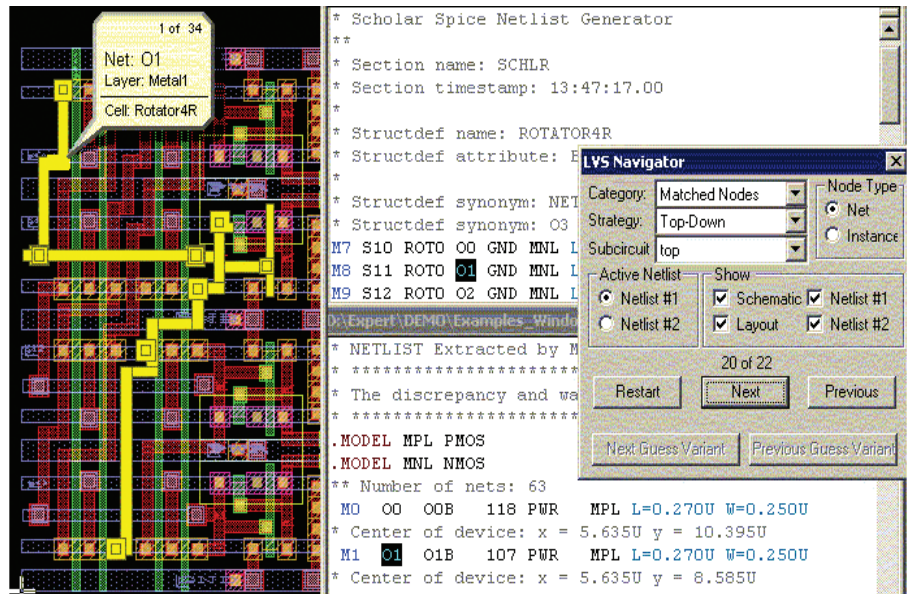
### 사용과 채택의 편의성

- 사용하기 쉬운 계층형 LVS의 불일치 리포트는 에러 디버깅에 소요되는 시간을 대폭 단축
- Gateway 스키매틱 에디터와 Expert 레이아웃 에디터의 데이터베이스를 직접 연결하여, 불일치에 대한 즉각적인 그래픽 리포트로서 크로스-프로빙을 제공
- 서버서킷에 대한 블랙-박스 옵션은 계층형 모드에서 증가형 LVS 비교를 제공하여, 토폴레벨에서 검증된 디자인에 IP 블록을 쉽게 포함

### 정확성, 속도, 성능

- 디폴트 방정식 또는 사용자 정의 방정식으로 아날로그 설계에 중요한 구조-종속형 SPICE 파라미터를 정확하게 계산
- LVS 추적동안 일반적인 소자(트랜지스터, 다이오드, 저항, 캐패시터 등)와 사용자 정의 소자, 블랙-박스 부회로를 정밀하게 식별
- 모든 반도체 공정에 대한 full-chip 레이아웃 넷리스트를 최고의 퍼포먼스로 효과적으로 추출

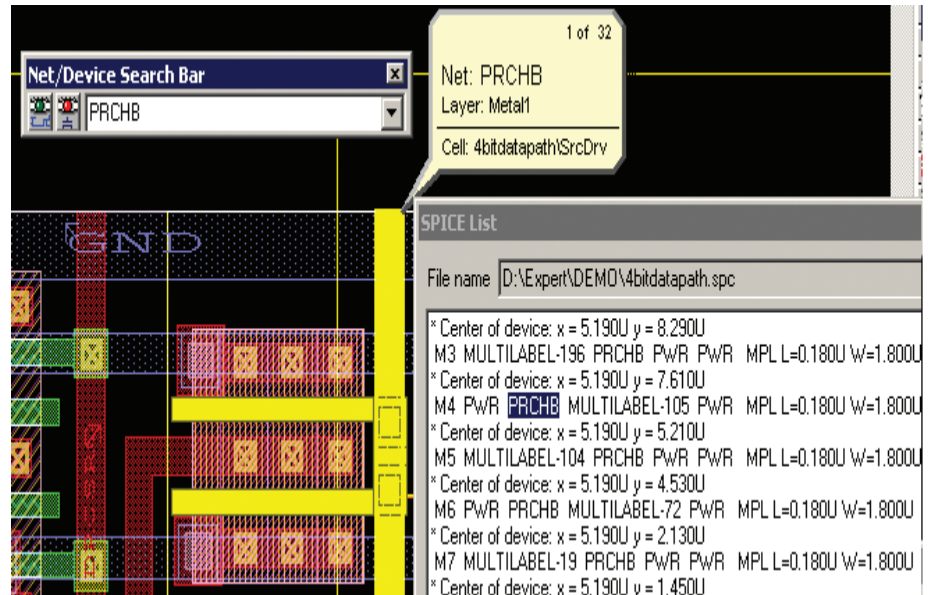
크로스-프로빙: LVS의 불일치에 대해 계층형 크로스-프로빙을 명확하게 나타냅니다.



### 생산성과 범용성

- 계층형 설계 데이터베이스는 플랫폼/계층 LVS 넷리스트 비교를 지원
- 소자 형성에 쓰이는 어떠한 다각형 구조도 처리
- 원래의 계층을 최대한 보존하여, 레이아웃이 끝난 뒤의 회로 시뮬레이션에서 디버깅이 용이
- 스키매틱 넷리스트, 추출된 레이아웃 넷리스트, 물리 레이아웃에 대해 계층형 크로스-프로빙
- 편리한 필터링 옵션으로 ERC 위반(쇼트, 오픈, 땀글, 부적절하게 연결된 소자)을 탐지
- MOSFET, BJT, JFET, MESFET, 다이오드, 저항, 캐패시터, 사용자가 정의한 파라미터 소자를 지원
- Guardian LVS는 계층 실행시에만 멀티-스레드를 지원

넷 트레이싱으로 레이아웃과 스키매틱  
 넷리스트 사이에서 넷과 소자를  
 추적합니다.



## Guardian Inputs/Outputs



# SILVACO

(주)실바코 코리아

134-020

서울특별시 강동구 천호동 469-1

스타시티빌딩 5층

Phone: 02-447-5421

Fax: 02-447-5420

E-mail: krsales@silvaco.com

WWW.SILVACO.CO.KR

Rev. 101410\_26