

## SCHEMATIC EDITOR and SCHEMATIC VIEWER

# Gateway and GatewayViews

Gateway는 어떤 테크놀로지에 대해서도 플랫폼/계층형 설계를 지원합니다. Gateway는 EDIF 200 표준을 통해 타사 스키매틱 에디터(PSPICE, OrCAD, Composer 등)로부터 기존 디자인을 손쉽게 수용합니다. Gateway는 전역 설정을 통해서 대규모 설계팀에서 사용할 수 있으며, 특정 워크스페이스로 다수의 설계 및 테크놀로지를 처리합니다.

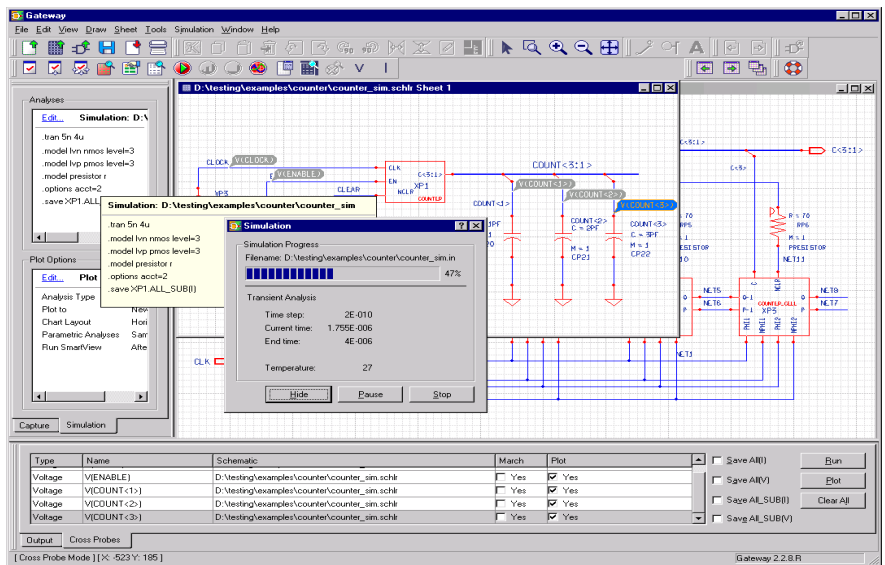
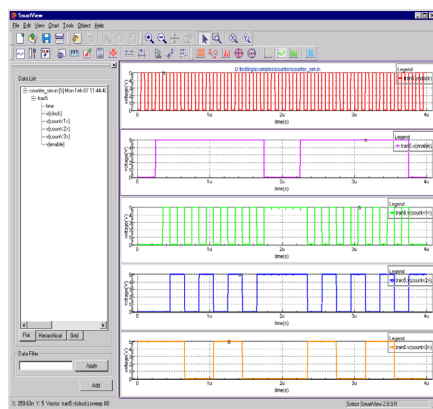
- 멀티-뷰, 멀티-시트, 계층형 IC 디자인을 생성 및 수정하는 강력한 스키매틱 캡처 및 에디터 기능
- GatewayViews는 단지 스키매틱 디자인의 시각적인 확인과 탐색을 위해 무료 제공
- 행동 모델, 크로스-프로빙, 파형 디스플레이, 해석을 갖추어 대화형 설계 환경을 생성하는 SmartSpice 회로 시뮬레이터와 유연하게 통합
- HSPICE와 호환되는 입력 데크 생성
- 디자인 팀에서 사용하는 셀과 심볼의 라이브러리를 위해 공유 워크스페이스로 다중 사용자 프로젝트를 제어
- EDIF 200을 통하여 타사의 스키매틱 캡처 툴로부터 전환
- 하나의 스키매틱으로부터 시뮬레이션, NDL, LVS를 위한 넷리스트 생성
- 실바코의 강력한 암호화는 고객 및 서드-파티의 소중한 지적 재산을 보호하기 위해 이용가능



## 풍부한 기능

- 심볼, 서브서킷, 하위 스키매틱 및 Verilog-A 모델의 생성 용이
- 시뮬레이션, 스키매틱-드러빙-레이아웃, LVS 호환성을 위해 포괄적인 심볼 생성 및 편집 기능
- 반복 작업 및 기존 캡처 툴의 에뮬레이션을 위한 사용자 구성 키
- 포팅, IP 재사용, 대화형 설계를 처리하기 위한 포괄적인 검색 및 교체
- 모듈, 재사용할 수 있는 설계, 라이브러리, 기존 회로와의 작업을 위한 계층 캡처
- 와이어, 버스, 버스 분할, 버스 병합으로 강력한 편집 기능
- 설계자가 구성하는 룰 체크는 전기적 드로잉 규칙 위반 및 명칭 오류를 표시
- 디자인-룰-연결 레이아웃 요소를 자동으로 생성하기 위한 Pcell(Parameterized cell) 소스 디자인 엔트리 데이터

Gateway는 크로스-프로빙, 진행 파형, 해석 옵션 및 최적화를 갖추어 계층적 설계에 대한 프론트-엔드를 제공합니다.



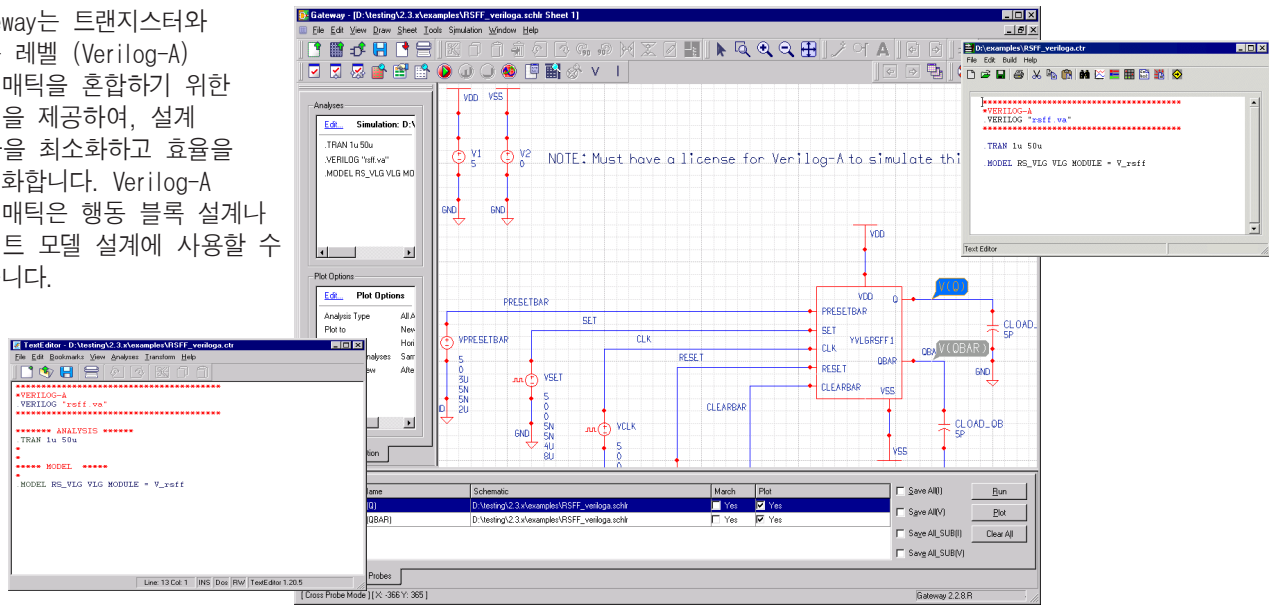
## 사용 및 채택의 편의성

- 자연스러운 왼편에서 오른편으로의 설계 방식, 툴팁, 배치 시뮬레이션 제어를 갖추어 신입 설계자 및 경력 설계자 모두 사용하기에 편리
- 라이브러리를 갖춘 다중 사용자 환경 설정 및 EDIF를 이용한 기존 데이터의 도입이 용이
- 신규 사용자를 위한 도움말 기능 및 툴팁
- 스키매틱으로부터 바로 액세스할 수 있는 배치 모드 시뮬레이션 옵션
- 파라미터의 최소/최대 체크로 엔트리 오류를 제거
- 와이어-와이어, 와이어-핀, 명칭에 의한 와이어, 암시적/전역적 연결을 지원

통합된 커스텀  
IC 디자인 플랫폼

- 커스텀 아날로그 회로를 위한 front-to-back 설계 자동화 솔루션
- 실바코의 행동 모델, 스키매틱, 회로 시뮬레이션 레이아웃, DRC, LVS 및 기생 추출과 입증된 피드백 플로우를 연결
- 지연, 기울기, 오버슈트, 상승 시간, 아이 다이어그램의 오버레이 측정을 위해 SmartView 그래픽 파형 포스트-프로세서와 통합 - 벡터 계산기로 완성
- 스키매틱과 포스트-프로세스 사이의 강력한 크로스-프로빙으로 실시간 설계 피드백을 제공
- 콜백 기능은 디자인 룰, 내성, 파라미터 계산, process skew에 대한 표현식을 실시간으로 평가
- 계층 전반에 걸쳐 전류/전압에 대한 DC 바이어스를 표시

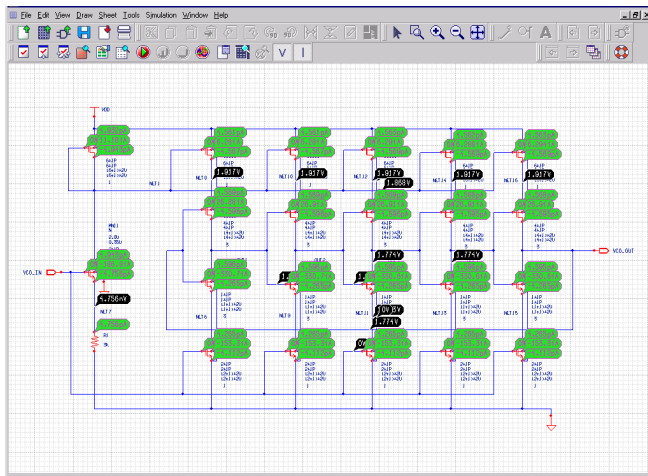
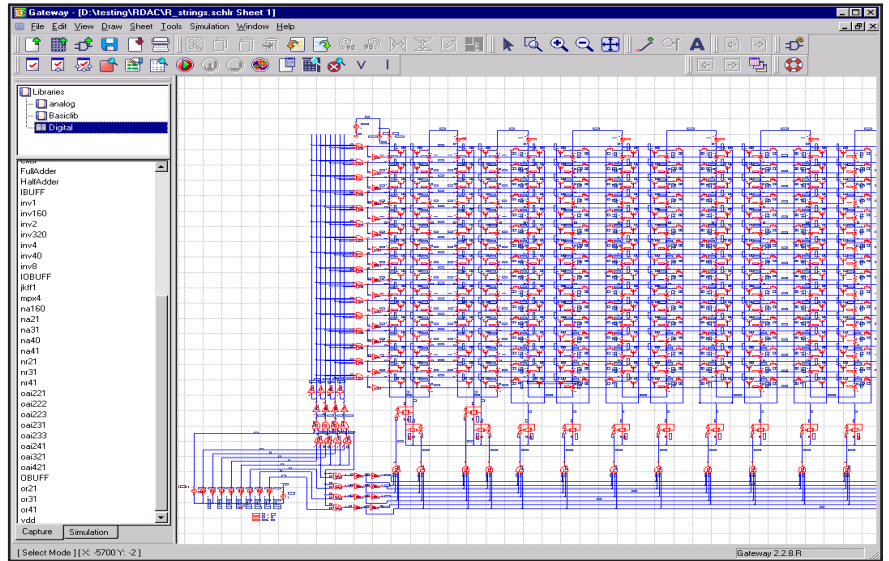
Gateway는 트랜지스터와 행동 레벨 (Verilog-A) 스키매틱을 혼합하기 위한 환경을 제공하여, 설계 시간을 최소화하고 효율을 최대화합니다. Verilog-A 스키매틱은 행동 블록 설계나 콤팩트 모델 설계에 사용할 수 있습니다.



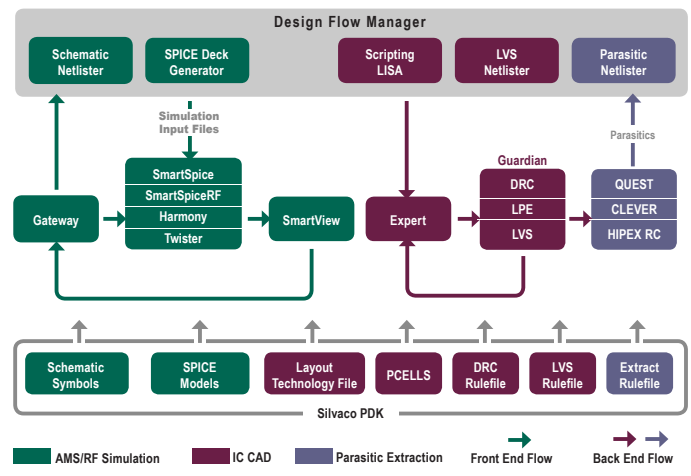
설계자의 생산성

- 설계의 무결성 및 유연한 tapeout을 위해 레이아웃, 시뮬레이션, LVS를 위한 멀티 뷰 생성
- 기존 회로를 쉽게 재사용하기 위한 스프레드시트 데이터 엔트리, 넷리스트 도입, EDIF 리더, 자동 심볼 생성
- IP 배포용 디자인 키트의 심볼 이면에서 암호화된 넷리스트를 지원
- 진행 파형은 시뮬레이션 결과의 실시간 관측으로 장기 시뮬레이션을 점검하도록 허용
- 스키매틱, 시뮬레이션 및 분석 사이에서 디자인 플로우를 효과적으로 제어
- 오류 강조 및 정정을 위한 스키매틱 위치/레벨의 확대

Gateway의 응용은 오른쪽의 계층형 메모리에 보이는 바와 같이 디지털 및 아날로그 블록, 스탠더드 셀, I/O를 구축 및 포팅을 위한 대화형 IC 설계를 포함합니다.



플랫/계층형 드로잉에 대한 전류/전압 DC 바이어스



전체 커스텀 IC 디자인 플랫폼에서의 Gateway

# SILVACO

(주)실바코 코리아  
 134-020  
 서울특별시 강동구 천호동 469-1  
 스타시티빌딩 5층  
 Phone: 02-447-5421  
 Fax: 02-447-5420  
 E-mail: krsales@silvaco.com

WWW.SILVACO.CO.KR